

## 明 細 書

## 不揮発性半導体記憶装置およびその書込方法

## 技術分野

- [0001] 本発明は、不揮発性半導体メモリセルのゲート長の短縮化を実現した不揮発性半導体記憶装置およびその書込方法に関する。

## 背景技術

- [0002] 近年、ランダムアクセス読み出しが可能な所謂コードストレージ用のNORフラッシュメモリのスケールアップの限界について懸念が高まってきている。
- [0003] ITRS(International Technology Roadmap for Semiconductors) の2004年での技術予測によれば、半導体プロセス技術としては20nmプロセスの時代になっていると予測される2018年においても、NOR型フラッシュメモリのメモリセルのゲート長は130nmを実現することが困難であると指摘されている。
- [0004] NOR型フラッシュメモリのゲート長がスケールアップできない大きな要因の一つは、書き込み動作にチャネルホットエレクトロン(CHE)注入を用いていることにある。すなわち、チャネルホットエレクトロンを効率よく発生させるためには、メモリセルのソースドレイン間にトンネル絶縁膜(シリコン酸化膜)の障壁電圧以上の比較的大きな電位差が必要とされる。この電位差のためにドレインからソースに向けて比較的大きな空乏層が形成されるため、ゲート長を短くすると、ドレインからソースへ空乏層がつかってしまい(パンチスルー)、ホットエレクトロンが発生しなくなってしまうという問題があるからである。
- [0005] これに対して、トンネル絶縁膜としてシリコン酸化膜よりも障壁電圧の低い材質のものをを用いることでソースドレイン間の電位差 $V_{ds}$ を小さくする提案がなされている(たとえば特許文献1)。また、書き込み動作をチャネルホットエレクトロン注入以外の方式で行うNOR型フラッシュメモリも提案されている(たとえば特許文献2)。

特許文献1: 特開2001-237330号公報

特許文献2: 特開平9-008153号公報

発明の開示

### 発明が解決しようとする課題

- [0006] しかしながら、特許文献1のものは、前記材質の電荷リーク特性がシリコン酸化膜に比べて劣る等の理由のために、不揮発性半導体メモリのトンネル絶縁膜として実用にいたっていない。
- [0007] また、特許文献2のものは、チャネルホットエレクトロン注入に代えてバンド間トンネルで誘起したホットエレクトロン(BBHE)注入で書き込みを行うものであるが、この方式であっても、ホットエレクトロンのエネルギーをトンネル絶縁膜の障壁電位以上にするためにはソースドレイン間の電位差 $V_{ds}$ を比較的大きな値(たとえば4V)にする必要があり、これによってゲート長の短縮化が制約をうけるという問題点があった。
- [0008] この発明は、ソースドレイン間の電位差 $V_{ds}$ を小さくしてメモリのゲート長を短くすることができる不揮発性半導体記憶装置およびその書込方法を提供することを目的とする。

### 課題を解決するための手段

- [0009] (1) 半導体基板に形成されたn型ウェルと、前記n型ウェル表面に所定間隔を開けて形成されたp+領域であるソースおよびドレインと、前記ソース、ドレイン間に形成されたチャネル領域と、前記チャネル領域の上方にトンネル絶縁膜を介して形成されたフローティングゲート、ナノクリスタル層、シリコン窒化膜等の不導体電荷トラップ層等の電荷蓄積層と、前記電荷蓄積層の上方に絶縁膜を介して形成されたゲート電極と、を有する不揮発性半導体記憶装置にビットデータを書き込む方法であって、  
書き込み時に、「 $V_g > V_{sub} > V_s > V_d$ 」の関係を有し、「 $V_g - V_d$ 」が前記チャネル領域におけるバンド間トンネル電流の発生に必要な電位差以上である電圧 $V_g$ 、 $V_{sub}$ 、 $V_s$ および $V_d$ を、それぞれゲート電極、n型ウェル、ソースおよびドレインに印加することにより、ドレイン付近にバンド間トンネリングによるホットエレクトロン(BBHE)を発生させ、このホットエレクトロンを前記電荷蓄積層に注入してビットデータの書き込みを行うことを特徴とする。
- [0010] (2) 半導体基板に形成されたp型ウェルと、前記p型ウェル表面に所定間隔を開けて形成されたn+領域であるソースおよびドレインと、前記ソース、ドレイン間に形成されたチャネル領域と、前記チャネル領域の上方にトンネル絶縁膜を介して形成され

たフローティングゲート、ナノクリスタル層、シリコン窒化膜等の不導体電荷トラップ層等の電荷蓄積層と、前記電荷蓄積層の上方に絶縁膜を介して形成されたゲート電極と、を有する不揮発性半導体記憶装置にビットデータを書き込む方法であって、

書き込み時に、「 $V_g < V_{sub} < V_s < V_d$ 」の関係を有し、「 $V_d - V_g$ 」が前記チャネル領域におけるバント間トンネル電流の発生に必要な電位差以上である電圧 $V_g$ 、 $V_{sub}$ 、 $V_s$ および $V_d$ を、それぞれゲート電極、p型ウェル、ソースおよびドレインに印加することにより、ドレイン付近にバンド間トンネリングによるホットホールを発生させ、このホットホールを前記電荷蓄積層に注入してビットデータの書き込みを行うことを特徴とする。

- [0011] (3) 前記電圧 $V_g$ 、 $V_{sub}$ 、 $V_s$ および $V_d$ のうち、2つの電圧を外部電源から供給することを特徴とする。
- [0012] (4) 前記電圧 $V_g$ 、 $V_{sub}$ 、 $V_s$ および $V_d$ のうち、少なくとも $V_d$ を外部電源から供給することを特徴とする。
- [0013] (5) 前記電圧 $V_g$ 、 $V_{sub}$ 、 $V_s$ および $V_d$ のうち、 $V_s$ および $V_d$ を外部電源から供給することを特徴とする。
- [0014] (6) 前記 $V_s$ は電源電圧であり、 $V_d$ は接地電圧であることを特徴とする。
- [0015] (7) (1)、(2)の書込方法で書き込まれるメモリセルをNOR型またはNAND型に接続してアレイ化したことを特徴とする。

#### 発明の効果

- [0016] この発明によれば、書込時に電圧が「 $V_g > V_{sub} > V_s > V_d$  (pチャネル)」または「 $V_g < V_{sub} < V_s < V_d$  (nチャネル)」の関係になるように設定したことにより、すなわち、ソース電圧 $V_s$ をセルウェル電圧 $V_{sub}$ とドレイン電圧 $V_d$ の間の電圧にしたことにより、バンド間トンネリングによるホットエレクトロンまたはホットホールを効率よく発生させることができるとともに、ソースドレイン間の電位差を小さくすることができ、ゲート長を短縮化することが可能になる。

なお、高速書込のためには、セルウェル電圧 $V_{sub}$ とドレイン電圧 $V_d$ の電位差はトンネル絶縁膜の障壁電位と同等またはそれ以上であることが好ましい。

- [0017] また、この発明によれば、電圧 $V_g$ 、 $V_{sub}$ 、 $V_s$ 、 $V_d$ のいずれかを外部電源から供給

されるものとするにより、チップ内で電圧を発生するための昇圧回路の数を少なくすることができる。これにより、チップ面積の縮小が可能となり、不揮発性半導体記憶装置のコストダウンが可能になる。

- [0018] 特に、書き込み時に最も電流を消費するドレイン電圧 $V_d$ を外部電源から供給することにより、チップ内部の昇圧回路は電流供給能力の小さいものでよくなり、さらにチップ面積を小さくすることができる。
- [0019] また、この発明によれば、セルウェルに適切なバックゲート電圧を印加することにより、ソース電圧 $V_s$ を電源電圧、ドレイン電圧 $V_d$ を接地電圧とすることができるとともに、4つの電圧のうち2つを外部から供給される電圧とし、且つ、残りの2つの電圧(ゲート電圧 $V_g$ 、セルウェル電圧 $V_{sub}$ )を電源電圧と同じ極性の電圧とすることができる。
- 図面の簡単な説明
- [0020] [図1]この発明が適用されるpチャネルMONOSメモリセルの構造を示す図である。  
[図2]同pチャネルMONOSメモリセルをXYに配列してNOR接続アレイを構成した場合のアーキテクチャを示す等価回路図である。  
[図3]同NOR接続アレイにおける書込(プログラム)時、ベリファイ時、消去時、読出時の電位配置を示す図である。  
[図4]プログラム時の等価回路における電位配置を示す図である。  
[図5]プログラム時の断面構造における電位配置を示す図である。  
[図6]プログラム時の1つのメモリセルの電位配置とBTHE注入の原理を示す図である。  
[図7]ベリファイ時の等価回路における電位配置を示す図である。  
[図8]ベリファイ時の断面構造における電位配置を示す図である。  
[図9]読出時の等価回路における電位配置を示す図である。  
[図10]読出時の断面構造における電位配置を示す図である。  
[図11]FNトンネルによる消去時の等価回路における電位配置を示す図である。  
[図12]FNトンネルによる消去時の断面構造における電位配置を示す図である。  
[図13]基板ホットエレクトロン注入による消去時の等価回路における電位配置を示す図である。

[図14]基板ホットエレクトロン注入による消去時の断面構造における電位配置を示す図である。

[図15]試作したpチャネルMONOSメモリセルの縦断面の透過型電子顕微鏡写真を示す図である。

[図16]同透過型電子顕微鏡写真の拡大図である。

[図17]同pチャネルMONOSメモリセルの試験結果である書込時間と書き値電圧の関係を示す図である。

### 符号の説明

- [0021] 11…p型半導体基板  
12…n型ウェル(セルウェル)  
13…ソース(p+領域)  
14…ドレイン(p+領域)  
15…トンネル絶縁膜  
16…電荷トラップ層(窒化膜)  
17…上部絶縁層  
18…ゲート  
20…セレクトゲートウェル(n型ウェル)  
21…メインビット線  
22…ワード線  
23…ソース線  
24…セレクトゲート  
25…サブビット線

### 発明を実施するための最良の形態

- [0022] 図面を参照して本発明の実施形態について説明する。

図1はこの発明が適用されるpチャネルMONOSメモリセルの構造図を示す図である。このメモリセルは、p型半導体基板11上に形成されたn型ウェル(セルウェル)12、このn型ウェル12の表面付近に所定の間隔を開けて形成されたp+領域(ソース)13およびp+領域(ドレイン)14、これら2つのp型領域13、14の間に形成されたチャ

ネル領域20、および、このチャネル領域20の上方にチャネル領域20を覆うように形成されたONO膜およびゲート電極18を有している。

[0023] ONO膜は、酸化シリコンからなるトンネル絶縁膜15、窒化シリコンからなり注入された電荷(電子)を蓄積する電荷トラップ層16、および、酸化シリコンからなる絶縁膜17からなっている。これら3層の膜厚は、トンネル絶縁膜15が約2.5~5nm程度、電荷トラップ層16が約10nm程度、絶縁膜17が約5nm程度である。また、ゲート電極18は、ポリシリコンで構成されている。なお、ゲート長は、後述する書込電位配置により、極めて短くすることができ60nm以下が実現可能である。

[0024] 次に、図2を参照して上記pチャネルMONOSメモリセルをNOR接続のアレイ状に接続した構造の不揮発性半導体記憶装置のアーキテクチャについて説明する。

この不揮発性半導体記憶装置では、2つのセルウェル12がペアになっている。各セルウェル12には、X方向1kB=8k(8192)個×Y方向64個=512k(524288)個のメモリセルが形成されている。メインビットライン21は8k本であり、セレクトゲート24を介して2つのセルウェル12のうちの一方のサブビットライン25に接続される。8k本のメインビットライン21には、それぞれラッチが接続されている。このラッチは書き込み動作のペリファイ等にも用いる。セレクトゲート24は、セルウェル12とは別のセレクトゲートウェル(n型ウェル)20内に形成されており、pチャネルMOSTランジスタで構成されている。セレクトゲートウェル20の電位は通常VCC(たとえば1.8V)に設定されている。セレクトゲート24のゲート電極は、非選択時にVCCが印加され、選択時に-2.2Vが印加される。-2.2Vが印加されると、ゲートが導通し、メインビットライン21を各メモリセルのドレインにつながるサブビットライン25に接続する。ワード線は、各メモリセルのゲート電極をX方向に接続しており、各セルウェル12毎に64本設けられている。ソースラインは、各セルウェル12内の512k個のメモリセルに共通である。

[0025] なお、電圧VCCおよび電圧GND(接地電圧)は、メモリセル外部の電源回路から供給されるものである。

[0026] 図2のNOR接続の不揮発性半導体記憶装置において、書き込み(プログラム・ペリファイ)、読み出し、消去を行う動作を図3~図14を参照して説明する。図3~図14は、書き込み(プログラム・ペリファイ)、読み出し、消去動作時の電位配置および動

作原理を示す図である。

- [0027] この不揮発性半導体記憶装置では、BBHE注入による書き込み時に、ソース電圧  $V_s$  をセルウェル電圧  $V_{sub}$  よりも低くしてドレイン電圧  $V_d$  に近づけ、ドレインーソース間の電位差を小さくしたことにより、且つ、セルウェルに適切なバックゲート電圧を印加したことによるバックゲート効果によって、等価的にしきい値電圧  $V_{th}$  (絶対値) を高くしたことにより、ソースードレイン間がパンチスルーしにくくしている。これにより、ゲート長を  $0.1\ \mu\text{m}$  以下、たとえば  $60\text{nm}$  程度まで短くしたセル構造を実現している。
- [0028] また、セルウェルに適切なバックゲート電圧を印加することにより、書き込みおよび読み出し時に最も高速な動作が要求されるビットラインを  $\text{GND}-\text{VCC}$  で動作させることができるようにしている。これにより、ビットラインの制御回路を高速で標準的な正の  $\text{VCC}$  回路で構成することができ、高速化かつ構成の簡略化を可能にしている。
- [0029] まず書き込み動作のうちのプログラム動作について説明する。先に説明したように  $\text{MONOS}$  メモリセルでは、電荷トラップ層16として電気伝導性が低い窒化膜を用いているため、トラップされた電子が膜内で移動せず、トラップされた位置に留まる。
- メモリセルへの書き込み(プログラム)は、電荷トラップ層16へ電子を注入することによって行う。電子の注入は、ゲート電極18とドレイン14の間に正負の高電圧を印加することによるBBHE注入で行い、電子は電荷トラップ層16に注入される。
- [0030] 電荷トラップ層16への電荷の注入は、正電位のゲート電極18と負電位のドレイン14の高い電位差によって生じる空乏層の高電界を利用したバンド間トンネリングによるホットエレクトロン(BBHE: Band-to-Band tunneling induced Hot Electron) 注入で行う。ただし、ドレイン(=ビット線)を正電位の範囲で制御できるようにするため、セルウェル12に正のバックゲート電圧を印加する。これにより、ドレインの接地電位は相対的に負電位となる。
- [0031] 具体的には、図3、図4、図5に示すように、セルウェル12にバックゲート電圧  $V_{sw}$  として  $+4\text{V}$  を印加し、ドレイン14(ビット線)を接地電位とする( $V_{dw}=0$ )。そして、ゲート18(ワード線)にゲート電圧  $V_{gw}$  として  $10\text{V}$  を印加する。このときソース13(ソース線)には、 $\text{VCC}(=1.8\text{V})$  を印加しておく。
- [0032] 図6は、書き込み時の1つのメモリセルの電位配置を示す図である。上記の電位配

置にすることにより、ドレイン14とセルウェル12との接合面に空乏層の領域21が発生するとともに、ドレイン14内でバンド間トンネリング(BTBT)によるエレクトロン(電子)／ホールペアが生成される。この電子が、空乏層領域21の強電界によって加速され高エネルギーを持ったホットエレクトロンとなる。その一部がゲート電極18に印加された正電圧に吸引されて、トンネル絶縁膜15を乗り越えて電荷トラップ層16に注入される。

- [0033] この電荷の注入は、ソース13・ドレイン14間がオフしている状態で行われるため、10-2程度の注入効率を確保することができ、従来のチャネルホットエレクトロン注入方式に比べて×103 程度の高効率を得ることができる。
- [0034] この場合において、ソース13にはVCC(たとえば1.8V)が印加されており、ソース・ドレイン間の電位差は1.8V程度であるため、ゲート長を短くしてもドレイン14近傍の空乏層がソース13に到達して導通(パンチスルー)してしまうことがない。また、セルウェル12に4Vのバックゲート電圧が印加されているため、チャネルに放出された電子が基板側に引き寄せられてソース・ドレイン間のしきい値電圧 $V_{th}$ (絶対値)が相対的に高くなるバックゲート効果が生じるため、書き込み時の導通をさらに抑制することができる。
- [0035] また、上記のように、プログラム時にセルウェル12に適当な正のバックゲート電圧を印加することにより、ドレイン(ビット線)を0V～VCC(正電位)の範囲で制御すればよくなり、書き込み時に高速な動作を要求されるY系(ビット線)の周辺回路を高性能のVCCトランジスタを用いた正電圧回路で形成することができ高速書き込みおよび回路構成の簡略化を実現することができる。
- [0036] ここで、ビットの書き込み(電子の注入)は、しきい値 $V_{th}$ が所定の電圧になるまでペリファイしながら少しずつ繰り返し行うため、書き込みが行われたビットのしきい値はほぼ同一であり、電子を注入しすぎて、セルがデプレッション化してしまうことはない。
- [0037] 次に、図3、図7、図8を参照して、書き込み動作のうちのペリファイ時の動作について説明する。ペリファイは、ビットの書き込み時に、しきい値 $V_{th}$ が所定電位になっているかを確認するため、プログラムと交互に繰り返し実行される動作である。
- [0038] 高速書き込みを実現するためには、上記プログラムとペリファイの動作切り換えを高



速に行う必要がある。上記プログラム時の動作では、セルウェル12にバックゲート電圧を印加しており、プログラム／ベリファイの切り換え時に寄生容量の大きいセルウェルの電圧をVCC～4Vに高速に変化させることは困難である。そこで、この実施形態では、セルウェル12にバックゲート電圧(4V)を印加したままベリファイを行うようにしている。

ベリファイ動作では、セルウェル12の電圧が4Vのままであるため、ワード線22(ゲート電極18)は、通常の読み出し時の電圧(−2.2V;後述)よりも高い電圧、例えば−5Vに設定される。この状態で、ソースライン23とビットライン21, 25をVCCに充電したのち、ソースライン23をGNDに駆動する。プログラム完了の場合には、チャネルが導通するため、ビットライン21, 25は放電されGNDになる。プログラムが完了していない場合にはビットライン21, 25はVCCのままである。このビットラインの電位をラッチに取り込み、これに基づいて次のプログラムパルス印加時のビットライン電圧を決定する。すなわち、ラッチされた電位がVCCのビットラインのみ次のプログラムパルス時に再度電子の注入を行うようにする。

[0039] このように、セルウェル12にバックゲート電圧(4V)が印加された状態でベリファイを行うようにしたことにより、プログラム／ベリファイの切り換えが高速に行われ、ビットの高速書き込みを実現することができる。

[0040] 一方、読み出し(リード)動作は、書き込み動作に比べて高速の動作が要求され、ビット線のみならずワード線の高速切り換えも必要であるため、セルウェル12に印加されるバックゲート電圧を通常の電圧(VCC=1.8V)とし、ワード線に印加する読み出し電圧を−2.2Vとしている。

[0041] 次に、図3、図9、図10を参照して、読み出し動作について説明する。読み出し時には、セルウェル12にバックゲート電圧としてVCCを印加し、ソース線23(ソース13)にVCC(=1.8V)を印加する。読み出し対象のビットライン21, 25(ドレイン14)をGNDにしたのち、読み出し対象のワード線22(ゲート18)をVCCから読み出し電圧 $V_{gr} = -2.2V$ に変化させる。これにより、この電位配置でセルがプログラム状態であればビットライン21, 25はVCCに上昇し、非プログラム状態であればGNDのままである。

- [0042] 次に消去動作について説明する。消去の方法は、FN(Fowler-Nordheim)トンネルによる引き抜きと、基板ホットホール注入による消去方法とがある。
- [0043] まず、図3、図11、図12を参照してFNTトンネルによる引き抜きについて説明する。消去は、セルウェル12単位で行われる。セルウェル12およびソース線23はVCCのままワードライン22(ゲート18)に-13Vの高電圧を印加し、ビットライン25(ドレイン14)をフローティングにする。これにより、ゲート18とセルウェル12との間に大きな電位差が生じ、電荷トラップ層16にトラップされている電子がFNTトンネル効果によってトンネル絶縁膜15を通過してセルウェル12に飛び移ることにより引き抜かれる。
- [0044] 次に、図3、図13、図14を参照して、基板ホットホール注入による消去方法を説明する。セルウェル12は-1V、セレクトゲートを閉じてサブビットライン25(ドレイン14)をオープンにする。ワードライン22(ゲート18)に-13Vを印加し、ソース線23(ソース13)に-4Vを印加する。このように電圧を印加することにより、p型基板11、nウェル12およびソース13がpnpバイポーラトランジスタとして機能し、p型半導体基板11からソース13に向けてホールが放出される。一方、ゲート電極18には負の高電圧が印加されているため、ホールの一部はゲート電極方向に引き寄せられトンネル絶縁膜15を通過して電荷トラップ層16に突入する。このホールの正電荷により電子の負電荷がキャンセルされ、その結果電荷トラップ層16の電荷はイレーズされる。
- [0045] 以上の電位配置および動作により、Y系の回路をGND-VCCで動作する高速の回路で構成することができる。
- [0046] 以上説明したように、この実施形態では、バックゲート電圧を印加してソースにドレイン電圧とソース電圧の中間の電圧を印加したことにより、ドレイン-ソース間に掛かる電圧が下がることと、バックゲート効果により等価的に $V_{th}$ (絶対値)が高くなるためにパンチスルーしにくくなり、これによって、ゲート長のスケラビリティ(短ゲート化)を大幅に改善することが可能になり、NOR型の構造において、 $0.1\mu\text{m}$ 以下のゲート長を実現することも困難でなくなった。
- [0047] また、この実施形態では、高速の書き込みを実現するために次の2点を実現している。

(1)セルウェル12に適切なバックゲート電圧を印加することで、ビット線へ印加され

る電圧を0V～VCC(1.8V)の間で全ての動作を行うことができる。これにより、高速書き込みに対して重要な役割を担うY系の回路を高性能のVCCトランジスタで形成でき、負電圧も扱わないので特別な回路構成も必要とならないようにする。

[0048] (2)さらに、書き込み時には4V程度のバックゲート電圧を印加するが、ベリファイはこのバックゲート電圧印加状態で行うようにした。これにより、プログラムとベリファイとの切り換えを容量の大きい電源回路を用いずに高速に行うことが可能になった。

[0049] またさらに、MONOSメモリセルは、以下の点で、通常のフローティングゲート型フラッシュメモリ(たとえば特開平9-8153号公報記載のもの)に比べて以下の優れた効果を奏する。

[0050] フローティングゲート型に比べてMONOS型は欠陥性の不良に強い。すなわち、フローティングゲート型では、トンネル絶縁膜(ボトム酸化膜)に極微小なリークを生じるような欠陥があった場合でも、このリークによってフローティングゲート内の電荷が全て流れだしてしまい、記憶内容が失われてしまう。10年間の記憶保持を必要とする不揮発性メモリにおいては、他のデバイスに比べて許容されるリークレベルが非常に小さく(例えばDRAMに比べて8桁小さいリークレベルが要求される)、極微小な欠陥を発生させないプロセスを実現することが非常に困難となっている。

[0051] これに対して、MONOS型では窒化膜という絶縁膜中に電荷をトラップしているの  
で、上層あるいは下層の酸化膜に小さな欠陥が存在しても、欠陥近傍の電荷が流れだす可能性があるにしても、全ての電荷が流れだしてしまうことはない。したがって、MONOS構造はフローティングゲート型に比べて欠陥に対する耐性が非常に大きい。

[0052] なお、本実施形態では、pチャネルMONOS構造のメモリセルに対する書込方法について説明しているが、図3の電位配置等の極性を反転することにより、この発明をnチャネルMONOSメモリに適用することも可能である。

[0053] また、本実施形態では、図1に示したMONOS構造のメモリセルに対する書込方法を説明しているが、これ以外にも、フローティングゲート型の不揮発性半導体メモリ、ナノクリスタル層に電荷を保持する不揮発性半導体メモリ等に適用することができる。

[0054] また、本発明は、NOR型のメモリセルアレイだけでなくNAND型のメモリセルアレイ

にも適用することができる。

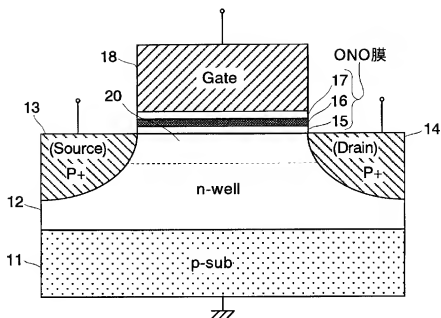
- [0055] なお、図7等に示した電圧値は一例であり、本発明の条件に合致する電圧であればどのような電圧でもよい。また、この場合において、書き込み時に、外部供給電圧を印加するのはドレインとソースに限定されない。
- [0056] 出願人は、pチャネルMONOSメモリセルを試作して書込性能を評価した。図15、図16は、試作したメモリセルの縦断面の透過型電子顕微鏡(TEM)写真である。図16は、図15の写真のONO膜付近の拡大図である。
- このメモリセルは、トンネル絶縁膜、電荷トラップ層、電荷トラップ層上の絶縁膜の膜厚は、それぞれ3nm、8nm、6nmであり、図1において説明したスケールとほぼ一致している。ゲート長は62nmである。ポリシリコンのゲート電極は、導電性を確保するために200nmの厚みに製膜している。
- [0057] この構造のメモリセルに、ゲート電圧 $V_g=11V$ 、セルウェル電圧(バックゲート電圧) $V_{sub}=4.2V$ 、ソース電圧 $V_s=1.8V$ 、ドレイン電圧 $V_d=0V$ の条件で書込テストを行ったところ、図17のような結果を得た。この結果によれば、 $1\mu$ 秒で書込が完了しており、ゲート長の短縮化および書き込み速度の高速化の双方を満足していることがわかる。

## 請求の範囲

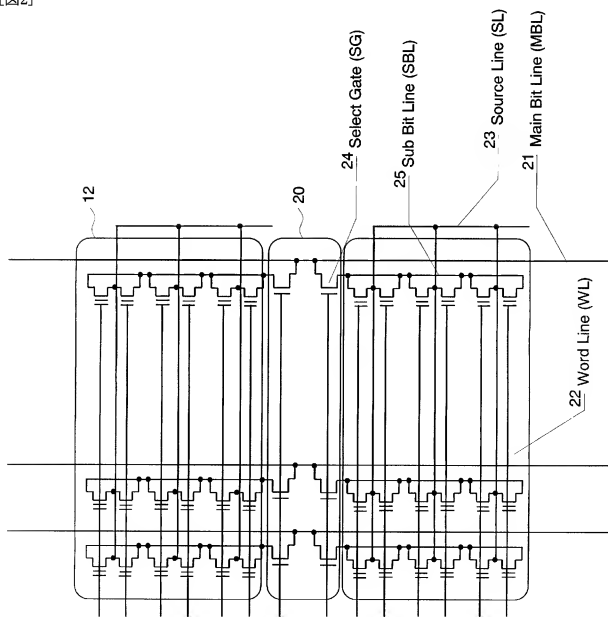
- [1] 半導体基板に形成されたn型ウェルと、前記n型ウェル表面に所定間隔を開けて形成されたp+領域であるソースおよびドレインと、前記ソース、ドレイン間に形成されたチャネル領域と、前記チャネル領域の上方にトンネル絶縁膜を介して形成されたフローティングゲート、ナノクリスタル層、シリコン窒化膜等の不導体電荷トラップ層等の電荷蓄積層と、前記電荷蓄積層の上方に絶縁膜を介して形成されたゲート電極と、を有する不揮発性半導体記憶装置にビットデータを書き込む方法であって、
- 書き込み時に、「 $V_g > V_{sub} > V_s > V_d$ 」の関係を有し、「 $V_g - V_d$ 」が前記チャネル領域におけるバント間トンネル電流の発生に必要な電位差以上である電圧 $V_g$ 、 $V_{sub}$ 、 $V_s$ および $V_d$ を、それぞれゲート電極、n型ウェル、ソースおよびドレインに印加することにより、ドレイン付近にバンド間トンネリングによるホットエレクトロンを発生させ、このホットエレクトロンを前記電荷蓄積層に注入してビットデータの書き込みを行うことを特徴とする不揮発性半導体記憶装置の書込方法。
- [2] 半導体基板に形成されたp型ウェルと、前記p型ウェル表面に所定間隔を開けて形成されたn+領域であるソースおよびドレインと、前記ソース、ドレイン間に形成されたチャネル領域と、前記チャネル領域の上方にトンネル絶縁膜を介して形成されたフローティングゲート、ナノクリスタル層、シリコン窒化膜等の不導体電荷トラップ層等の電荷蓄積層と、前記電荷蓄積層の上方に絶縁膜を介して形成されたゲート電極と、を有する不揮発性半導体記憶装置にビットデータを書き込む方法であって、
- 書き込み時に、「 $V_g < V_{sub} < V_s < V_d$ 」の関係を有し、「 $V_d - V_g$ 」が前記チャネル領域におけるバント間トンネル電流の発生に必要な電位差以上である電圧 $V_g$ 、 $V_{sub}$ 、 $V_s$ および $V_d$ を、それぞれゲート電極、p型ウェル、ソースおよびドレインに印加することにより、ドレイン付近にバンド間トンネリングによるホットホールを発生させ、このホットホールを前記電荷蓄積層に注入してビットデータの書き込みを行うことを特徴とする不揮発性半導体記憶装置の書込方法。
- [3] 前記電圧 $V_g$ 、 $V_{sub}$ 、 $V_s$ および $V_d$ のうち、2つの電圧を外部電源から供給することとを特徴とする請求項1または請求項2に記載の不揮発性半導体記憶装置の書込方法。

- [4] 前記電圧 $V_g$ 、 $V_{sub}$ 、 $V_s$ および $V_d$ のうち、少なくとも $V_d$ を外部電源から供給することを特徴とする請求項1または請求項2に記載の不揮発性半導体記憶装置の書込方法。
- [5] 前記電圧 $V_g$ 、 $V_{sub}$ 、 $V_s$ および $V_d$ のうち、 $V_s$ および $V_d$ を外部電源から供給することを特徴とする請求項1または請求項2に記載の不揮発性半導体記憶装置の書込方法。
- [6] 前記 $V_s$ は電源電圧であり、 $V_d$ は接地電圧である請求項5に記載の不揮発性半導体記憶装置の書込方法。
- [7] 請求項1または請求項2の書込方法で書き込まれるメモリセルをNOR型またはNAND型に接続してアレイ化したことを特徴とする不揮発性半導体記憶装置。

[図1]



[図2]

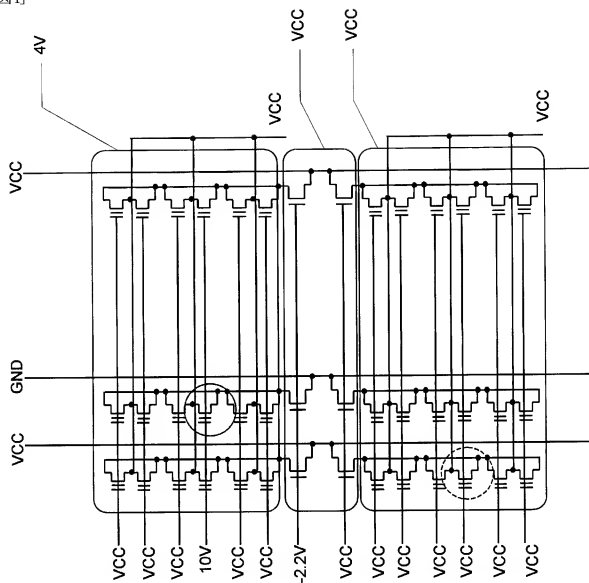


[図3]

	Program	Prg-verify	Erase(tn)	Erase(hh)	Read
selected	Main-BL	GND	VCC	VCC	GND
	SG	-2.2V	VCC	VCC	-2.2V
	Sub-BL	GND	open	open	GND
	WL	10V	-13V	-13V	-2.2V
	Source	VCC	GND	-4V	VCC
	Cell-well	4V	VCC	-1V	VCC
	SG-well	VCC	VCC	VCC	VCC
	Main-BL	VCC	VCC	VCC	VCC
	SG	VCC	VCC	VCC	VCC
	Sub-BL	open	open	open	open
Un-selected	WL	VCC	VCC	VCC	VCC
	Source	VCC	VCC	VCC	VCC
	Cell-well	VCC	VCC	VCC	VCC
	SG-well	VCC	VCC	VCC	VCC
	sub	GND	GND	GND	GND

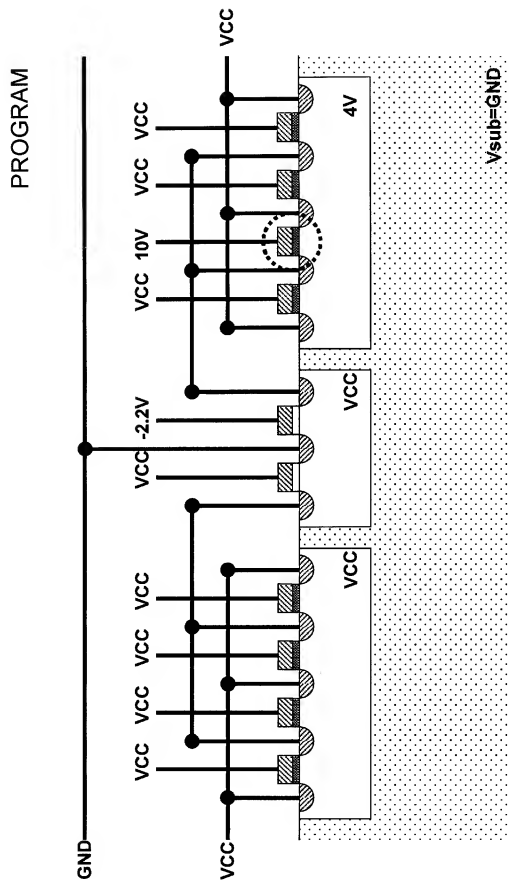


[図4]



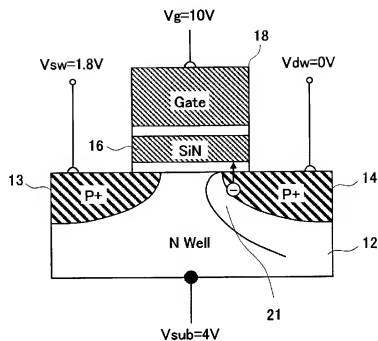
## Program

[図5]

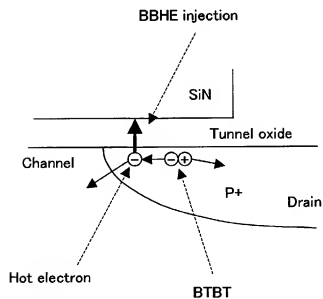


[図6]

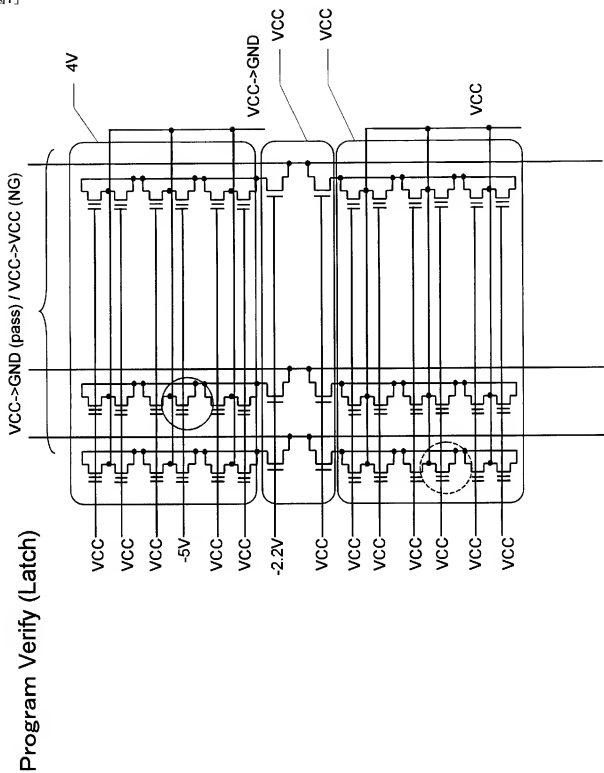
(A)



(B)

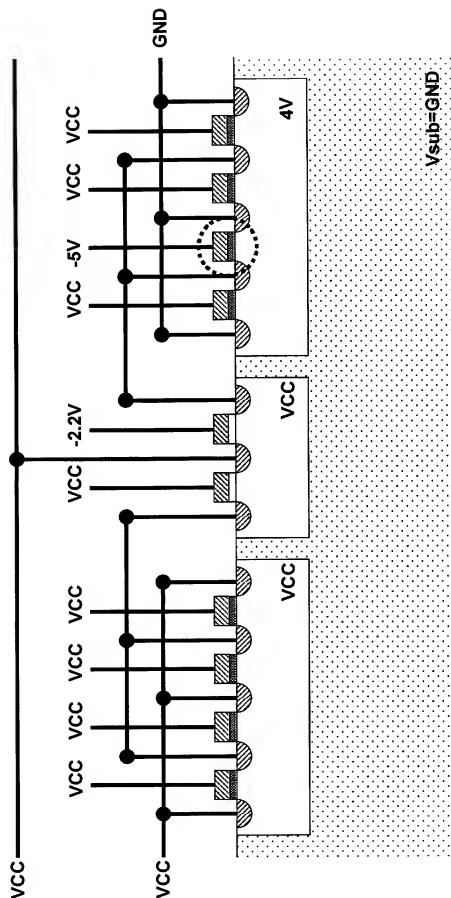


[図7]

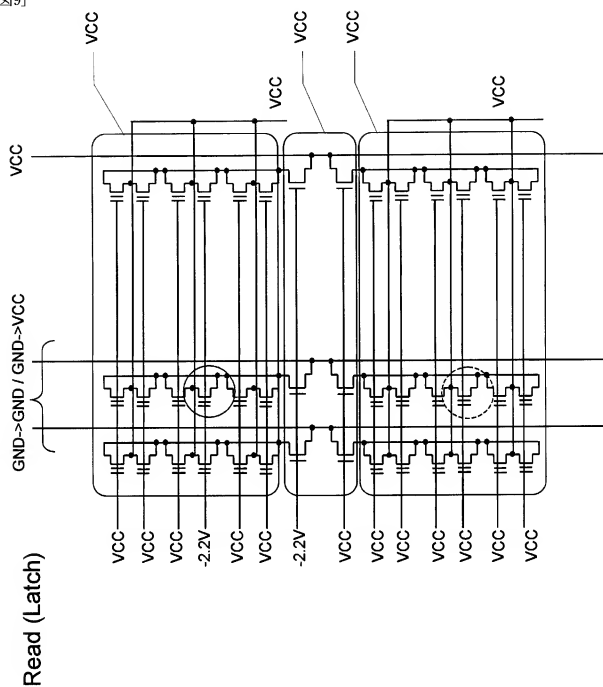


[図8]

PROGRAM  
Verify READ

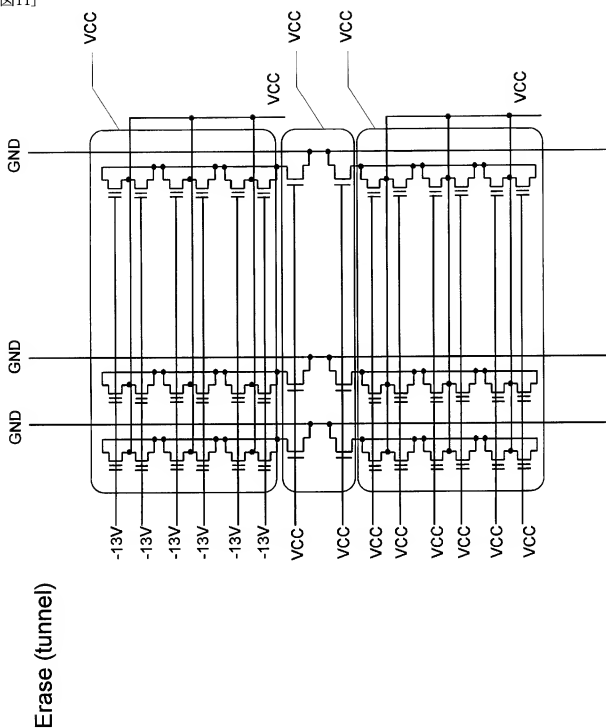


[図9]





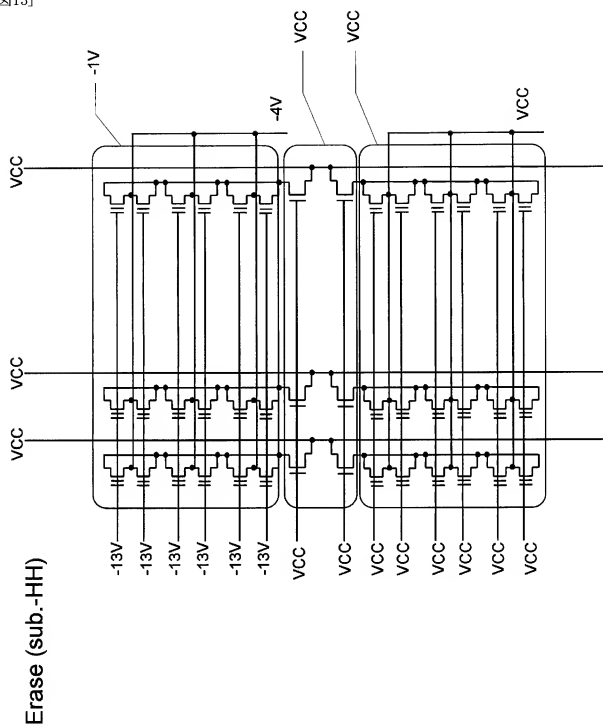
[図11]



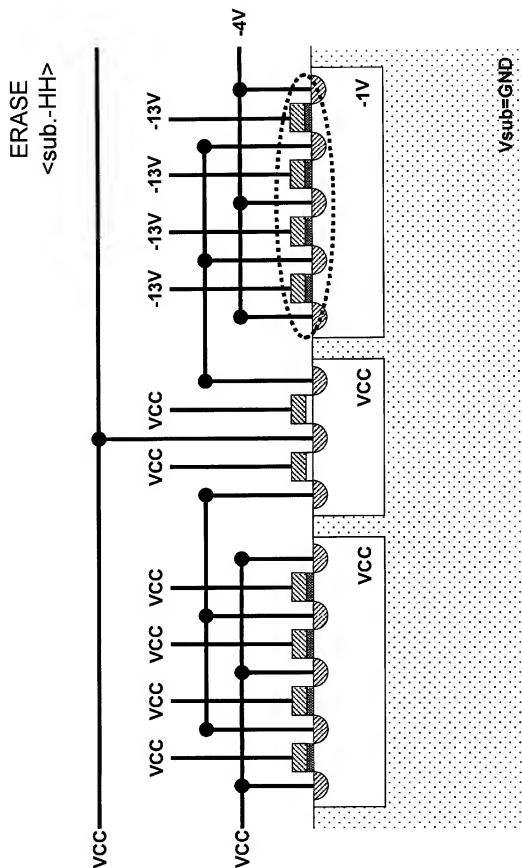




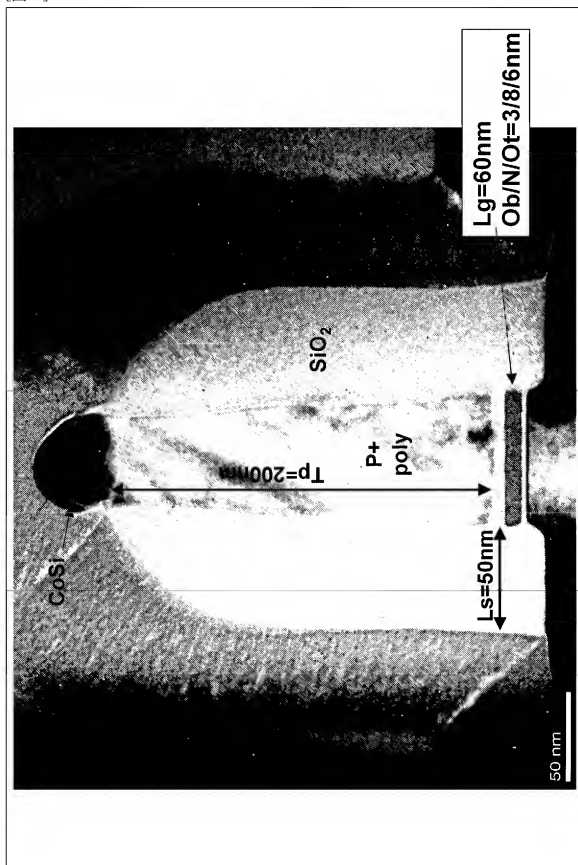
[図13]



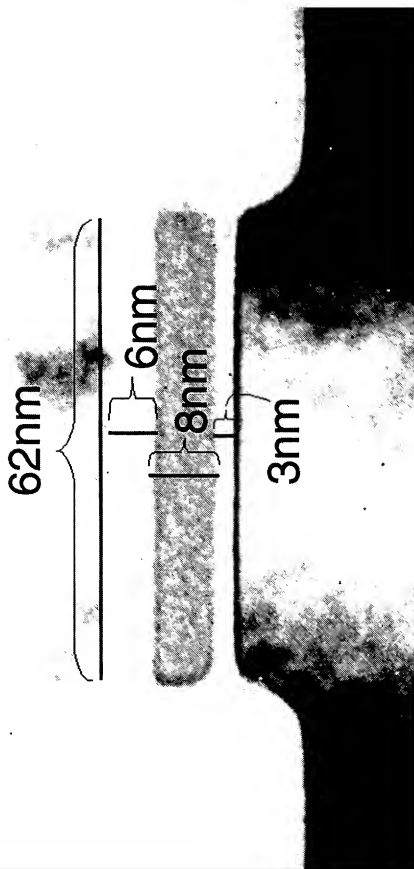
[図14]



[図15]



[図16]



[図17]

